

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221549

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 B 5/36

H 0 3 F 1/52

B 8943-5 J

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平6-9601

(22) 出願日 平成6年(1994)1月31日

(71) 出願人 000002381

株式会社精工舎

東京都中央区京橋2丁目6番21号

(72) 発明者 中村 秀行

東京都墨田区太平四丁目1番1号 株式会

社精工舎内

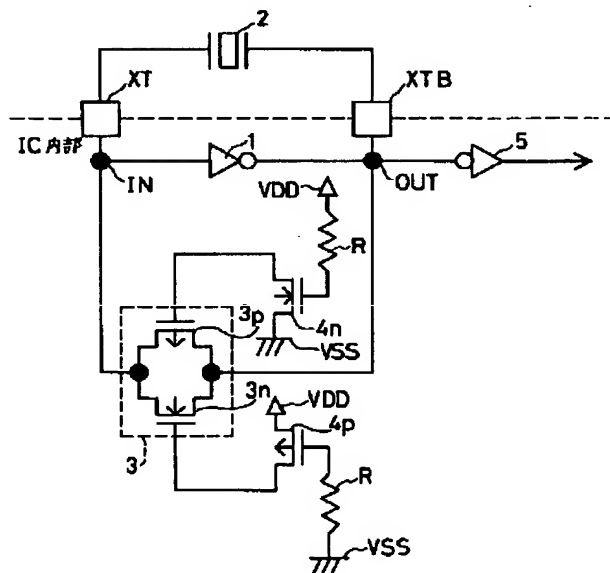
(74) 代理人 弁理士 松田 和子

(54) 【発明の名称】 発振用集積回路および発振回路

(57) 【要約】

【目的】 回路面積を増加させることなく、静電気に対する耐久性に優れた発振用集積回路および発振回路を提供することにある。

【構成】 CMOSインバータ1の入出力端子間に水晶振動子2を外付けしてあり、MOSトランジスタ3n、3pからなる帰還抵抗をCMOSインバータ1の入出力端子間に接続してある。MOSトランジスタ3n、3pのゲートはそれぞれMOSトランジスタ4p、4nを介して所望の電位に保持されているため、水晶振動子2を接続するための外部端子XT、XTBより静電気が侵入した際、MOSトランジスタ3n、3pのゲートに印加される過電圧はMOSトランジスタ4p、4nを介して軽減され、ゲート破壊を避けることができる。



(2)

1

【特許請求の範囲】

【請求項 1】 CMOSインバータを具備し、上記CMOSインバータの入出力端子間に圧電振動子を外付けされる発振用集積回路において、

上記CMOSインバータの入出力端子間にMOSトランジスタからなる帰還抵抗を接続してあり、第2のMOSトランジスタを介して上記MOSトランジスタのゲートを特定の電位に保持することを特徴とする発振用集積回路。

【請求項 2】 CMOSインバータと、上記CMOSインバータの入力端子と出力端子のそれぞれに負荷容量を接続するとともに、上記CMOSインバータの入出力端子間に圧電振動子を接続してなる発振回路において、上記CMOSインバータの入出力端子間にMOSトランジスタからなる帰還抵抗を接続してあり、第2のMOSトランジスタを介して上記MOSトランジスタのゲートを特定の電位に保持することを特徴とする発振回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は発振用集積回路および発振回路に関するものである。

【0002】

【従来の技術】 現在、時計などで基準クロック発生源として用いられる発振用集積回路では、CMOSインバータの入出力端子間に水晶振動子等の圧電振動子を接続し、さらにCMOSインバータの入出力端子間に帰還抵抗を接続してある。このようなものにはMOSトランジスタにて帰還抵抗を構成したものがあり、例えば、図2に示すようなものがある。これは入力端子in、出力端子out間に水晶振動子21を外付けされたCMOSインバータ22の入出力端子間をPチャネル型のMOSトランジスタ23pおよびNチャネル型のMOSトランジスタ23nを介して接続してある。これらのMOSトランジスタ23n、23pのゲートを抵抗rを介してそれぞれ、電源端子VDD（例えば、+5v）、電源端子VSS（例えば、0v）に接続してあり、これらはそのオン抵抗により帰還抵抗として作動する。なお同図において、24は出力バッファであり、CMOSインバータ22の出力を受けて後段（図示せず。）に発振出力信号を送る。また、xt、xtbは水晶振動子21を外付けするための外部端子である。

【0003】

【発明が解決しようとする課題】 このようなものでは、MOSトランジスタ23n、23pのゲートを抵抗rを介して電源端子に接続している。この抵抗rの抵抗値は、このような発振用集積回路のチップサイズを増加させるため、あまり大きくすることができない。また、水晶振動子21をCMOSインバータ22に外付けしているため、CMOSインバータ22の入端子in、出力端子outは外部の静電気にさらされる。このため、外部

2

の静電気によって、例えば、入力端子inまたは出力端子outに過電圧が加わると、MOSトランジスタ23nまたは23pのゲートが破壊されることが往々にしてあった。

【0004】そこで、本発明の目的は、回路面積を増加させることなく、静電気に対する耐久性に優れた発振用集積回路および発振回路を提供することにある。

【0005】

【課題を解決するための手段】 CMOSインバータを具備し、上記CMOSインバータの入出力端子間に圧電振動子を外付けされる発振用集積回路において、上記CMOSインバータの入出力端子間にMOSトランジスタからなる帰還抵抗を接続するとともに、第2のMOSトランジスタを介して上記MOSトランジスタのゲートを特定の電位に保持する。

【0006】CMOSインバータと、上記CMOSインバータの入力端子と出力端子のそれぞれに負荷容量を接続するとともに、上記CMOSインバータの入出力端子間に圧電振動子を接続してなる発振回路において、上記CMOSインバータの入出力端子間にMOSトランジスタからなる帰還抵抗を接続するとともに、第2のMOSトランジスタを介して上記MOSトランジスタのゲートを特定の電位に保持する。

【0007】以上により、上記目的を達成する。

【0008】

【実施例】 次に本発明の一実施例について説明する。図1は本例の構成を示す電気回路図であり、同図において、1はCMOSインバータであり、このCMOSインバータ1の入力端子INと出力端子OUTとの間に外部端子XT、XTBを介して圧電振動子としての水晶振動子2が外付けされる。また、図示しないが、入力端子INおよび出力端子OUTには負荷容量としてのコンデンサが接続される。3n、3pはそれぞれNチャネル型、Pチャネル型のMOSトランジスタである。MOSトランジスタ3n、3pを介してCMOSインバータ1の入力端子IN、出力端子OUT間を接続しており、これらMOSトランジスタ3n、3pは帰還抵抗3を構成する。4n、4pはそれぞれNチャネル型、Pチャネル型のMOSトランジスタであり、これらが第2のMOSトランジスタである。MOSトランジスタ4n、4pのドレインはそれぞれMOSトランジスタ3p、3nのゲートに接続されており、それらMOSトランジスタ4n、4pのソースはそれぞれ電源端子VSS（0v）、VDD（5v）に接続され、ゲートは抵抗Rを介してそれぞれ電源端子VDD、VSSに接続されている。これらのMOSトランジスタ4n、4pのゲートに印加される電圧またはゲート長、ゲート幅等のトランジスタサイズを適宜に設定することにより、MOSトランジスタ4n、4pのオン抵抗は所望の値に設定でき、ここでは、従来の発振用集積回路における帰還抵抗を成すMOSトラン

(3)

3

ジスタのゲートに接続される抵抗（例えば、拡散抵抗等から構成される。）に比べて大きな値に設定してある。なお、5は出力バッファであり、CMOSインバータ1の出力を受けて後段（図示せず。）に発振出力信号を送る。ここで、以上の構成は水晶振動子2を除いて同一のIC基板に集積化することとするが、これに限らず、出力バッファ5を外部に設けたり、上述のコンデンサを外付けしてもよい。

【0009】次に、以上のように構成される本例の動作について述べる。

【0010】まず、MOSトランジスタ4n、4pのゲートを抵抗Rを介してそれぞれ電源端子VDD、VSSに接続すると、MOSトランジスタ3nはゲートをMOSトランジスタ4pを介して電源端子VDDに接続されることによりオンとなり、同様にMOSトランジスタ3pはゲートをMOSトランジスタ4nを介して電源端子VSSに接続されることによりオンとなる。これにより、MOSトランジスタ3n、3pはCMOSインバータの入出力端子間を接続し、そのオン抵抗により帰還抵抗として動作する。本例は従来のものと同様に発振動作を行い、出力バッファ5から発振出力信号を発生する。

【0011】ここで、例えば、静電気等により、外部端子XTに高電圧が印加されると、入力端子INからMOSトランジスタ3nのゲートおよびMOSトランジスタ4pのドレイン、ソースを介して電源端子VDD側に過電圧が加わる。このとき、MOSトランジスタ3nのゲートに印加される過電圧はMOSトランジスタ4pのオン抵抗により軽減され、MOSトランジスタ3nのゲート破壊を避けることができる。また、MOSトランジスタ3pについても同様であり、MOSトランジスタ3pのゲートに印加される過電圧はMOSトランジスタ4nのオン抵抗により軽減され、ゲート破壊を避けることができる。

【0012】上述したように、MOSトランジスタ4

4

n、4pのトランジスタサイズを適宜に設定すれば、MOSトランジスタ4n、4pはオン抵抗を所望の値に設定できる。しかも本例を集積化した際、これらMOSトランジスタ4n、4pは、通常の導電層からなる抵抗に比べ小さい占有面積で高い抵抗値が得られる。すなわち、上述のゲート破壊を避けるために従来のもののように、帰還抵抗を構成するMOSトランジスタのゲートと電源端子との間に接続される抵抗のサイズを増加させることなく適当な抵抗値が得られ、ひいてはチップサイズの増加を抑えることができる。

【0013】また上記一実施例のようにMOSトランジスタ3n、3pの2つのMOSトランジスタにより帰還抵抗を構成するのに限らず、MOSトランジスタ3n、3pの内いずれか一方のみを設け、これにより帰還抵抗を構成することとしても良い。

【0014】また、上記一実施例では、圧電振動子として、水晶振動子を用いることとしたがこれに限れるものではなく、例えば、PZT系、PbTiO₃系等のセラミック振動子を用いてもよい。

20 【0015】

【発明の効果】本発明によれば、回路面積を増加させることなく、静電気に対する耐久性に優れた発振用集積回路および発振回路を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す電気回路図。

【図2】従来の技術の構成を示す電気回路図。

【符号の説明】

1 CMOSインバータ

2 水晶振動子

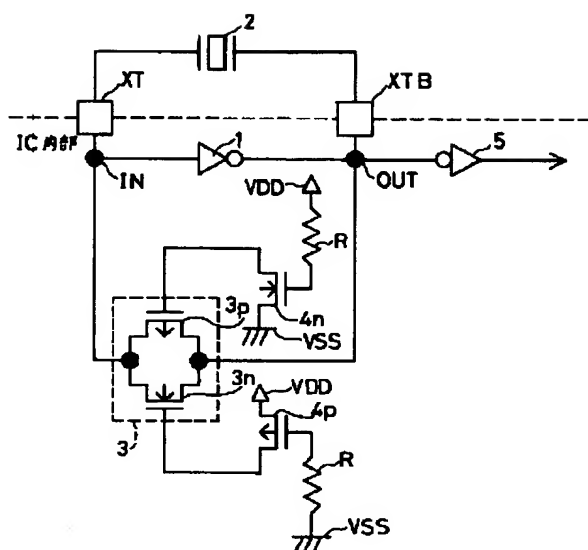
30 3 帰還抵抗

3n、3p MOSトランジスタ

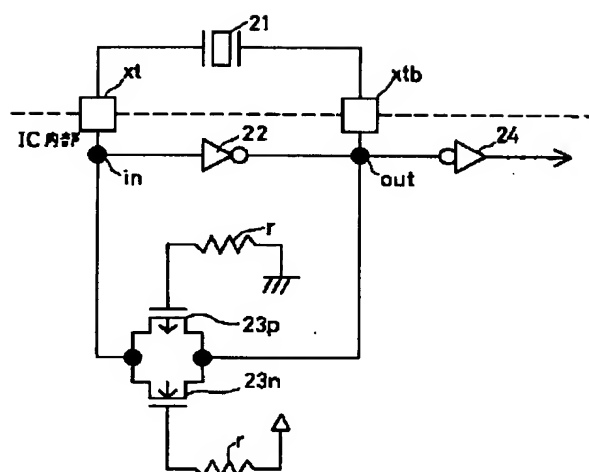
4n、4p MOSトランジスタ（第2のMOSトランジスタ）

(4)

【図1】



【図1】



【手続補正書】

【提出日】平成6年6月28日

【手続補正1】

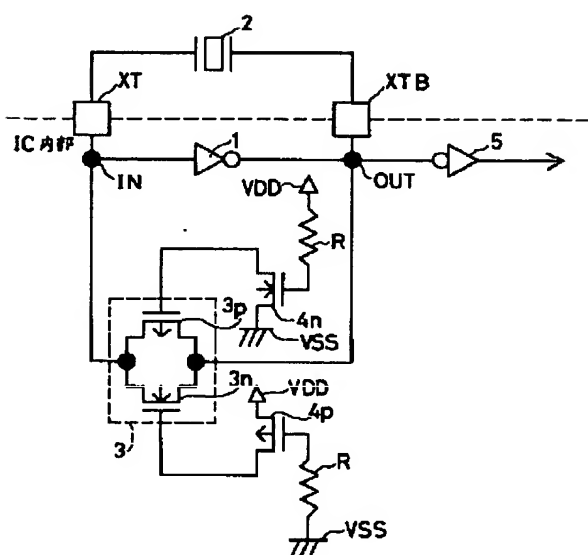
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

【補正内容】

【図1】



【図2】

